

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 8月 8日
Date of Application:

出願番号 特願2003-290824
Application Number:

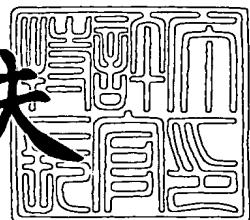
[ST. 10/C] : [JP2003-290824]

出願人 富士通株式会社
Applicant(s):

2004年 1月 26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 0340775
【提出日】 平成15年 8月 8日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 1/26
【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1844番2 富士通ヴィエルエスアイ株式会社内
【氏名】 堂込 浩文
【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1844番2 富士通ヴィエルエスアイ株式会社内
【氏名】 松本 敬史
【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1844番2 富士通ヴィエルエスアイ株式会社内
【氏名】 滝本 久市
【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1844番2 富士通ヴィエルエスアイ株式会社内
【氏名】 小澤 秀清
【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1844番2 富士通ヴィエルエスアイ株式会社内
【氏名】 土屋 主税
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100068755
【弁理士】
【氏名又は名称】 恩田 博宣
【選任した代理人】
【識別番号】 100105957
【弁理士】
【氏名又は名称】 恩田 誠
【手数料の表示】
【予納台帳番号】 002956
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9909792

【書類名】特許請求の範囲**【請求項1】**

N型FETよりなるメイン側トランジスタ及び同期側トランジスタと、出力電圧と基準電圧との比較結果に基づいてオン・オフ時間にて前記メイン側トランジスタ及び同期側トランジスを制御する制御回路と、前記メイン側トランジスタのゲート電圧を生成するためのコンデンサとを備え、前記同期側トランジスタのオン時に前記コンデンサを充電し、前記コンデンサをブートさせて前記メイン側トランジスタのゲート電圧を生成する同期整流方式のDC/DCコンバータにおいて、

前記制御回路には、前記メイン側トランジスタと同期側トランジスタのオン・オフ時間を変更する充電時間設定回路を備えたことを特徴とするDC/DCコンバータ。

【請求項2】

前記制御回路は、

出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差增幅回路と、

前記誤差信号と三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、

前記メイン側トランジスタのゲートに供給する第1駆動信号を生成する第1出力回路と

、前記同期側トランジスタのゲートに供給する第2駆動信号を生成する第2出力回路と、を備え、

前記充電時間設定回路は、

基準パルス信号の所定パルス数毎にパルスを発生させるパルス発生回路と、

前記パルス発生回路にて発生されたパルスの幅を前記充電時間に応じて設定するパルス幅設定回路と、

前記パルス信号と前記パルス幅設定回路にてパルス幅が設定された信号とを合成した合成信号を生成する信号合成回路と、を備え、

前記第1及び第2出力回路は、前記合成信号に基づいて前記第1及び第2駆動信号を生成すること

を特徴とする請求項1記載のDC/DCコンバータ。

【請求項3】

前記制御回路は、

出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差增幅回路と、

前記誤差信号と三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、

前記メイン側トランジスタのゲートに供給する第1駆動信号を生成する第1出力回路と

、前記同期側トランジスタのゲートに供給する第2駆動信号を生成する第2出力回路と、を備え、

前記充電時間設定回路は、

所定時間毎にパルスを発生させるパルス発生回路と、

前記パルス発生回路にて発生されたパルスの幅を前記充電時間に応じて設定するパルス幅設定回路と、

前記パルス信号と前記パルス幅設定回路にてパルス幅が設定された信号とを合成した合成信号を生成する信号合成回路と、を備え、

前記第1及び第2出力回路は、前記合成信号に基づいて前記第1及び第2駆動信号を生成すること

を特徴とする請求項1記載のDC/DCコンバータ。

【請求項4】

前記パルス発生回路は、制御信号に応答して前記パルスの発生を停止することを特徴とする請求項1～3のうちの何れか一項に記載のDC/DCコンバータ。

【請求項5】

前記コンデンサに充電が必要か否かを判定し、その判定結果に基づいて前記制御信号を生成する充電判定回路を備えたことを特徴とする請求項1～4のうちの何れか一項に記載のDC／DCコンバータ。

【請求項6】

N型FETよりなるメイン側トランジスタ及び同期側トランジスタと、出力電圧と基準電圧との比較結果に基づいてオン・オフ時間にて前記メイン側トランジスタ及び同期側トランジスを制御する制御回路と、前記メイン側トランジスタのゲート電圧を生成するためのコンデンサとを備え、前記同期側トランジスタのオン時に前記コンデンサを充電し、前記コンデンサをポンピングして前記メイン側トランジスタのゲート電圧を生成する同期整流方式のDC／DCコンバータにおいて、

前記制御回路は、

出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差増幅回路と、

三角波信号と基準パルス信号とを生成する発振回路と、

前記誤差信号と前記三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、

前記パルス信号に基づいて前記メイン側トランジスタ及び同期側トランジスタが同時にオンしないように第1及び第2制御信号を生成する休止期間設定回路と、

前記第1制御信号に基づいて前記メイン側トランジスタのゲートに供給する第1駆動信号を生成する第1出力回路と、

前記第2制御信号に基づいて前記同期側トランジスタのゲートに供給する第2駆動信号を生成する第2出力回路と、

前記第1制御信号と前記基準パルス信号とを合成した合成信号を生成する信号合成回路と、

前記合成信号に基づいて前記コンデンサをポンピングする第3出力回路と、
を備えたことを特徴とするDC／DCコンバータ。

【請求項7】

N型FETよりなるメイン側トランジスタ及び同期側トランジスタと接続されるとともに、前記メイン側トランジスタのゲート電圧を生成するためのコンデンサと接続され、前記同期側トランジスタのオン時に前記コンデンサを充電し、前記コンデンサをブートさせて前記メイン側トランジスタのゲート電圧を生成する同期整流方式のDC／DCコンバータを構成する半導体装置において、

前記メイン側トランジスタと同期側トランジスタのオン・オフ時間を変更する充電時間設定回路を備えたことを特徴とする半導体装置。

【請求項8】

N型FETよりなるメイン側トランジスタ及び同期側トランジスタと接続されるとともに、前記メイン側トランジスタのゲート電圧を生成するためのコンデンサと接続され、前記同期側トランジスタのオン時に前記コンデンサを充電し、前記コンデンサをブートさせて前記メイン側トランジスタのゲート電圧を生成する同期整流方式のDC／DCコンバータを構成する半導体装置において、

出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差増幅回路と、

三角波信号と基準パルス信号とを生成する発振回路と、

前記誤差信号と前記三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、

前記パルス信号に基づいて前記メイン側トランジスタ及び同期側トランジスタが同時にオンしないように第1及び第2制御信号を生成する休止期間設定回路と、

前記第1制御信号に基づいて前記メイン側トランジスタのゲートに供給する第1駆動信号を生成する第1出力回路と、

前記第2制御信号に基づいて前記同期側トランジスタのゲートに供給する第2駆動信号を生成する第2出力回路と、

前記第1制御信号と前記基準パルス信号とを合成した合成信号を生成する信号合成回路

と、

前記合成信号に基づいて前記コンデンサをポンピングする第3出力回路と、
を備えたことを特徴とする半導体装置。

【請求項9】

請求項1～6のうちの何れか一項に記載のDC／DCコンバータを備えたことを特徴とする
電子機器。

【請求項10】

請求項1～6のうちの何れか一項に記載のDC／DCコンバータと、該DC／DCコンバ
ータにより充電されるバッテリとを備えたことを特徴とするバッテリパック。

【書類名】明細書**【発明の名称】DC/DCコンバータ、半導体装置、電子機器、及びバッテリパック****【技術分野】****【0001】**

本発明は、各種電子機器の内蔵電源であるバッテリを充電するために用いられる同期整流型のDC/DCコンバータ、DC/DCコンバータを構成する半導体装置、DC/DCコンバータを備えた電子機器及びバッテリパックに関するものである。

【0002】

一般にノート型パソコン、PDA(Personal Digital Assistants)、携帯電話端末等の携帯型電子機器には、電源としてバッテリが搭載されるとともに、該機器に接続されたACアダプタ等の外部電源から供給される電源によりバッテリを充電する充電回路としてDC/DCコンバータが内蔵されている。DC/DCコンバータは、直列に接続されたメイン側トランジスタと同期側トランジスタを交互にオン/オフ駆動することで、一定電圧を負荷に供給する。ところで、近年の電子機器は、高性能化、小型化がますます進展しており、それに伴い各機器に内蔵されるDC/DCコンバータも小型化が望まれている。

【背景技術】**【0003】**

従来のDC/DCコンバータの一例を図14に示す。このDC/DCコンバータ1は同期整流方式のDC/DCコンバータであり、1チップの半導体集積回路装置上に形成された制御回路2と、該制御回路2により制御されるN型MOS-FETからなるメイン側トランジスタT1及び同期側トランジスタT2を含む。

【0004】

制御回路2の第1駆動信号SG1は、メイン側トランジスタT1に供給される。このトランジスタT1は、負荷を駆動するためのメインスイッチとして動作する。第1駆動信号SG1は、トランジスタT1のゲートに印加される。トランジスタT1のドレインには図示しないACアダプタから入力される電圧Viが供給され、トランジスタT1のソースは同期側トランジスタT2に接続されている。

【0005】

同期側トランジスタT2は、ドレインがメイン側トランジスタT1のソースに接続されている。同期側トランジスタT2のゲートには制御回路2の第2駆動信号SG2が入力され、ソースはグランドGNDに接続されている。

【0006】

メイン側トランジスタT1のソースは平滑回路を構成するチョークコイルL1及び抵抗R1を介して出力端子3に接続されている。また、メイン側トランジスタT1のソースはフライバックダイオードD1のカソードに接続され、そのダイオードD1のアノードはグランドGNDに接続されている。

【0007】

チョークコイルL1と抵抗R1との間の接続点は、平滑回路を構成する平滑用コンデンサC1を介してグランドGNDに接続されている。出力端子3には、電子機器に搭載されたバッテリBTが接続されている。また、出力端子3は、電子機器に搭載されCPU等により構成された負荷としての内部回路(図示略)に接続されている。そして、この出力端子3からは出力電圧Voが出力される。この出力電圧Voを抵抗R2、R3により分圧した分圧電圧V2が、制御回路2に帰還される。

【0008】

制御回路2は、誤差増幅回路11、PWM比較回路12、三角波発振回路(OSC)13、休止期間設定回路14、第1出力回路(Drv-1)15、第2出力回路(Drv-2)16、レギュレータ(Reg.)17を含む。制御回路2は、分圧電圧V2と基準電圧Vrとの差電圧に応じてパルス幅を設定した第1及び第2駆動信号SG1、SG2を第1及び第2出力回路15、16から出力し、メイン側トランジスタT1と同期側トランジスタT2を所定周波数で交互にオン制御する。従って、DC/DCコンバータ1は、直列に接続されたメイン側ト

ランジスタT1と同期側トランジスタT2を交互にオン／オフ駆動することで、出力電圧V_oをほぼ一定電圧に制御する。

【0009】

また、このDC／DCコンバータ1は、ブートストラップによりN型MOS-FETよりもなるメイン側トランジスタT1のオン抵抗を小さくして変換効率を高めている。即ち、メイン側トランジスタT1と同期側トランジスタT2との間の接続点N1にはブート用コンデンサC2の一端が接続され、コンデンサC2の他端はダイオードD2のカソードに接続され、ダイオードD2のアノードは制御回路2に備えられたレギュレータ17の出力端子に接続されている。また、ダイオードD2のアノードはコンデンサC3を介してグランドに接続され、ダイオードD2のカソードは第1出力回路15の電源端子に接続されている。レギュレータ17は入力電圧V_iにより生成したレギュレータ出力電圧V_bを第2出力回路16に供給する。

【0010】

メイン側トランジスタT1がオフ、同期側トランジスタT2がオンであるとき、メイン側トランジスタT1のソース電位はグランド電位となる。このとき、ダイオードD2を介してコンデンサC2に電流が流れ、コンデンサC2は、その電圧がレギュレータ出力電圧V_bと等しくなるまで充電される。次いで、コンデンサC2の充電電圧を利用して、第1出力回路15から駆動信号SG1が出力されることでメイン側トランジスタT1がオンする。

【0011】

メイン側トランジスタT1がオンすると、該トランジスタT1のソース電位が入力電圧V_iまで上昇する。このとき、コンデンサC2はトランジスタT1のソースに接続されているので、該コンデンサC2から第1出力回路15に供給される電圧も上昇して入力電圧V_iよりも高くなる。

【0012】

従って、メイン側トランジスタT1は、ドレインに入力電圧V_iが供給され、必要な時（オンされる時）にブートストラップによりその入力電圧V_iを昇圧した電圧（V_i+V_b）を駆動電源とする第1出力回路15からの駆動信号SG1により駆動され、オン抵抗が小さくなる。

【0013】

このように、ブートストラップを使用したDC／DCコンバータ1は、メイン側トランジスタT1のオフ期間にブート用コンデンサC2を充電することで、そのメイン側トランジスタT1のゲート電圧を生成している。このため、メイン側トランジスタT1のオン・デューティー比（トランジスタT1のオン・オフの周期に対するオン期間の割合。第1駆動信号SG1の周期に対するオン・パルスのパルス幅の割合）たなくなる（「1」に近づく）と、ブート用コンデンサC2を十分に充電することができなくなり、電圧V_sが低くなつて効率が低下する。

【0014】

そこで、ブート用コンデンサの充電に必要な時間t_{offmin}を設定し、オン・ディーティ比が高くなり、時間t_{offmin}を確保できなくなった時には動作周波数を下げる（発振器から出力される三角波信号の周波数を低くする）方式がある（例えば、特許文献1、特許文献2参照）。

【特許文献1】米国特開第5705919号明細書

【特許文献2】米国特許第5814979号明細書

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかし、上記特許文献1、特許文献2に開示された従来のDC／DCコンバータは、外付け素子の電気的特性が動作周波数により決定される。例えば、平滑回路を構成するチョークコイルの電気的特性は、低い動作周波数に適するよう設定しなければならない。す

ると、高周波側での電気的特性が最適値からずれるため、効率が低下する。従って、このような方式では、高周波化することが難しいという問題があった。

【0016】

本発明は上記問題点を解決するためになされたものであって、その目的は、効率の低下を抑え、高周波化が可能なDC／DCコンバータ、半導体装置、電子機器、及びバッテリパックを提供することにある。

【課題を解決するための手段】

【0017】

上記目的を達成するため、請求項1に記載の発明によれば、制御回路には、メイン側トランジスタと同期側トランジスタのオン・オフ時間を変更する充電時間設定回路を備えた。従って、コンデンサの充電時間が確保され、周波数を低くすることなくメイン側トランジスタにおける効率低下が抑えられる。

【0018】

請求項2に記載の発明によれば、充電時間設定回路は、基準パルス信号の所定パルス数毎にパルスを発生させるパルス発生回路と、パルス発生回路にて発生されたパルスの幅を充電時間に応じて設定するパルス幅設定回路と、パルス信号とパルス幅設定回路にてパルス幅が設定された信号とを合成した合成信号を生成する信号合成回路と、を備えている。そして、第1及び第2出力回路により合成信号に基づいて第1及び第2駆動信号が生成される。

【0019】

請求項3に記載の発明によれば、充電時間設定回路は、所定時間毎にパルスを発生させるパルス発生回路と、パルス発生回路にて発生されたパルスの幅を充電時間に応じて設定するパルス幅設定回路と、パルス信号とパルス幅設定回路にてパルス幅が設定された信号とを合成した合成信号を生成する信号合成回路と、を備えている。そして、第1及び第2出力回路により合成信号に基づいて第1及び第2駆動信号が生成される。

【0020】

請求項4に記載の発明によれば、パルス発生回路は、制御信号に応答してパルスの発生を停止する。従って、必要なときにメイン側トランジスタを駆動する第1駆動信号のパルス幅が調整され、効率の低下が抑えられる。

【0021】

請求項5に記載の発明によれば、コンデンサに充電が必要か否かを判定し、その判定結果に基づいて制御信号を生成する充電判定回路が備えられる。従って、必要な時にメイン側トランジスタを駆動する第1駆動信号のパルス幅が調整される。

【0022】

請求項6に記載の発明によれば、制御回路は、出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差增幅回路と、三角波信号と基準パルス信号とを生成する発振回路と、誤差信号と三角波信号とを比較して誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、パルス信号に基づいてメイン側トランジスタ及び同期側トランジスタが同時にオンしないように第1及び第2制御信号を生成する休止期間設定回路と、第1制御信号に基づいてメイン側トランジスタのゲートに供給する第1駆動信号を生成する第1出力回路と、第2制御信号に基づいて同期側トランジスタのゲートに供給する第2駆動信号を生成する第2出力回路と、第1制御信号と基準パルス信号とを合成した合成信号を生成する信号合成回路と、合成信号に基づいてコンデンサをポンピングする第3出力回路と、が備えられる。

【0023】

請求項7に記載の発明によれば、DC／DCコンバータを構成する半導体装置には、メイン側トランジスタと同期側トランジスタのオン・オフ時間を変更する充電時間設定回路が備えられる。従って、コンデンサの充電時間が確保され、周波数を低くすることなくメイン側トランジスタにおける効率低下が抑えられる。

【0024】

請求項8に記載の発明によれば、出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差增幅回路と、三角波信号と基準パルス信号とを生成する発振回路と、誤差信号と三角波信号とを比較して誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、パルス信号に基づいてメイン側トランジスタ及び同期側トランジスタが同時にオンしないように第1及び第2制御信号を生成する休止期間設定回路と、第1制御信号に基づいてメイン側トランジスタのゲートに供給する第1駆動信号を生成する第1出力回路と、第2制御信号に基づいて同期側トランジスタのゲートに供給する第2駆動信号を生成する第2出力回路と、第1制御信号と基準パルス信号とを合成した合成信号を生成する信号合成回路と、合成信号に基づいてコンデンサをポンピングする第3出力回路と、が備えられる。

【0025】

請求項9に記載の発明によれば、請求項1～6のうちの何れか一項に記載のDC／DCコンバータを備えた電子機器である。従って、周波数を低くすることなく効率の低下が抑えられる。

【0026】

請求項10に記載の発明によれば、請求項1～6のうちの何れか一項に記載のDC／DCコンバータと、該DC／DCコンバータにより充電されるバッテリとを備えたバッテリパックである。従って、周波数を低くすることなく効率低下が抑えられる。

【発明の効果】

【0027】

以上記述したように、本発明によれば、効率の低下を抑え、高周波化が可能なDC／DCコンバータ、半導体装置、電子機器、及びバッテリパックを提供することができる。

【発明を実施するための最良の形態】

【0028】

(第一実施形態)

以下、本発明を具体化した第一実施形態を図1～図4に従って説明する。

図4は、電子機器の概略ブロック図である。

【0029】

電子機器21はACアダプタ22を接続する接続端子23を有し、該ACアダプタ22から直流電圧Viが動作電源電圧として供給される。

電子機器21には、負荷としての内部回路31、バッテリBT、充電回路としてのDC／DCコンバータ32が備えている。内部回路31は、電子機器21の使用者に各種機能を提供するために設けられ、ACアダプタ22からの直流電圧Viが動作電源電圧として供給されている。バッテリBTは、ACアダプタ22の未接続時に内部回路31へ動作電源電圧を供給するために設けられ、DC／DCコンバータ32は、そのバッテリBTを充電するために設けられている。

【0030】

接続端子23はダイオードD11のアノードに接続され、該ダイオードD11のカソードは内部回路31に接続されている。その内部回路31の接続端子はダイオードD12のカソードに接続され、該ダイオードD12のアノードはバッテリBTに接続されている。2つのダイオードD11、D12は、それぞれ逆流防止回路として機能する。そして、内部回路31には、ACアダプタ22からの直流電圧Vi、又はバッテリBTの出力電圧が動作電源電圧として供給される。

【0031】

DC／DCコンバータ32には、ACアダプタ22からの直流電圧Viが入力されている。DC／DCコンバータ32は、直流電圧Viを昇圧（又は降圧）した出力電圧Voを生成する電圧変換回路であり、該出力電圧VoによりバッテリBTが充電される。

【0032】

図1は、DC／DCコンバータ32の概略ブロック回路図である。尚、図14に示す従来例と同様の構成については同じ符号を付して説明する。

DC／DCコンバータ32は、1チップの半導体集積回路装置上に形成された制御回路40と、メイン側トランジスタT1と同期側トランジスタT2とを含む。

【0033】

トランジスタT1はN型MOS-FETで構成され、負荷を駆動するためのメインスイッチとして動作する。メイン側トランジスタT1のゲートには、制御回路40から第1駆動信号SG11が供給される。トランジスタT1のドレインには入力電圧Viが供給され、トランジスタT1のソースは同期側トランジスタT2に接続されている。

【0034】

同期側トランジスタT2はN型MOS-FETで構成され、そのドレインがメイン側トランジスタT1のソースに接続されている。同期側トランジスタT2のゲートには制御回路40から第2駆動信号SG12が供給され、ソースはグランドGNDに接続されている。

【0035】

メイン側トランジスタT1のソースは平滑回路を構成するチョークコイルL1と抵抗R1とを介して出力端子3に接続されている。また、メイン側トランジスタT1のソースはフライバックダイオードD1のカソードに接続され、そのダイオードD1のアノードはグランドGNDに接続されている。

【0036】

チョークコイルL1と抵抗R1との間の接続点は、平滑回路を構成する平滑用コンデンサC1を介してグランドGNDに接続されている。出力端子33は、図4に示すようにダイオードD12を介して負荷としての内部回路31に接続されている。そして、この出力端子33からは出力電圧Voが出力される。この出力電圧Voを抵抗R2, R3により分圧した分圧電圧V2が、制御回路40に帰還される。

【0037】

制御回路40は、誤差增幅回路41、PWM比較回路42、発振回路(OSC)43、充電時間設定回路44、休止期間設定回路45、第1及び第2出力回路(Drv-1, Drv-2)46, 47、レギュレータ(Reg.)48を含む。

【0038】

誤差增幅回路41は、反転入力端子に分圧電圧V2が入力され、非反転入力端子に基準電源E1から基準電圧Vrが入力される。

誤差增幅回路41は、分圧電圧V2と設定電圧としての基準電圧Vrとを比較し、両電圧の差電圧を増幅した誤差信号S1を次段のPWM比較回路42に出力する。

【0039】

発振回路43は、三角波信号S2と、所定のデューティ比（例えば50パーセント）の基準パルス信号S11とを生成する。

PWM比較回路42は、非反転入力端子に誤差信号S1が入力され、反転入力端子に発振回路43からの三角波信号S2が入力される。

【0040】

PWM比較回路42は、誤差信号S1と三角波信号S2のレベルを比較する。そして、PWM比較回路42は、その比較において、三角波信号S2のレベルの方が大きくなる期間ではLレベル、三角波信号S2のレベルの方が小さくなる期間ではHレベルとなるパルス信号S3を充電時間設定回路44に出力する。

【0041】

充電時間設定回路44は、後述するブート用コンデンサC2の充電時間を確保するようにパルス信号S3のパルス幅を調整した調整パルス信号S4を生成する。そして、充電時間設定回路44は、その生成した調整パルス信号S4を休止期間設定回路45に出力する。

【0042】

休止期間設定回路45は、調整パルス信号S4に基づいて、メイン側トランジスタT1と同期側トランジスタT2とがほぼ相補的にオンオフするとともに、両トランジスタT1

、T2が同時にオンしない（この期間が同期整流休止期間（以下、単に休止期間））ように生成した第1及び第2制御信号S5、S6を生成する。休止期間は、システムの破壊を防ぐために設定される。同期整流方式のDC/DCコンバータ32では、メイン側トランジスタT1と同期側トランジスタT2が同時にオンすると過大な貫通電流が流れシステムを破壊する恐れがあるからである。

【0043】

第1出力回路46は、休止期間設定回路45から出力された第1制御信号S5を増幅した第1駆動信号SG11をメイン側トランジスタT1に供給する。第2出力回路47は、休止期間設定回路45から出力された第2制御信号S6を増幅した第2駆動信号SG12を同期側トランジスタT2に供給する。

【0044】

このように構成された制御回路2は、分圧電圧V2と基準電圧Vrとの差電圧に応じてパルス幅を設定した第1及び第2駆動信号SG11、SG12を第1及び第2出力回路15、16から出力し、メイン側トランジスタT1と同期側トランジスタT2を所定周波数で交互にオン制御する。従って、DC/DCコンバータ32は、制御回路40により直列に接続されたメイン側トランジスタT1と同期側トランジスタT2を交互にオン／オフ駆動することで、出力電圧Voをほぼ一定電圧に制御する。更に、DC/DCコンバータ32は、制御回路40により同期側トランジスタT2をフライバック動作時に動作させ、フライバックダイオードD1での損失を改善する。

【0045】

メイン側トランジスタT1と同期側トランジスタT2との間の接続点N1にはブート用コンデンサC2の一端が接続され、コンデンサC2の他端はダイオードD2のカソードに接続されている。ダイオードD2のアノードは制御回路2に備えられたレギュレータ48の出力端子に接続されている。また、ダイオードD2のアノードはコンデンサC3を介してグランドに接続され、ダイオードD2のカソードは第1出力回路46の高電位側電源端子46aに接続され、第1出力回路46の低電位側電源端子46bはノードN1に接続されている。第2出力回路47は、高電位側電源端子47aにレギュレータ48からレギュレータ出力電圧Vbが供給され、低電位側電源端子47bはグランドGNDに接続されている。を第1及び第2出力回路46、47に供給する。

【0046】

メイン側トランジスタT1がオフ、同期側トランジスタT2がオンであるとき、メイン側トランジスタT1のソース電位はグランド電位となる。このとき、ダイオードD2を介してコンデンサC2に電流が流れ、コンデンサC2は、第1出力回路46側の端子C2aにおける電圧Vsがレギュレータ出力電圧Vbと等しくなるまで充電される。

【0047】

次いで、第1出力回路15から駆動信号SG11が出力されてメイン側トランジスタT1がオンする。トランジスタT1がオンすると、該トランジスタT1のソース電位がレギュレータ出力電圧Vbまで上昇する。このとき、コンデンサC3はトランジスタT1のソースに接続されているので、ノードN1の電圧がグランド電圧からレギュレータ出力電圧Vbまで上昇し、それに伴って端子C2aの電圧Vsはレギュレータ出力電圧Vbよりも高く（=Vb+Vi）なり、この電圧Vsが第1出力回路46の高電位側電源端子46aに印加される。また、第1出力回路46の低電位側電源端子46bはノードN1に接続されている。従って、第1出力回路46は電圧VsノードN1のレギュレータ出力電圧Vbとを電源電圧として動作し、電圧Vsレベルの第1駆動信号SG11を出力する。従って、メイン側トランジスタT1は、ドレインに入力電圧Viが供給され、必要な時（オンされる時）にブートストラップによりその入力電圧Viを昇圧した電圧Vsを駆動電源とする第1出力回路15からの駆動信号SG11により駆動され、オン抵抗が小さくなる。

【0048】

尚、ダイオードD2は、レギュレータ出力電圧Vbよりも高くなったコンデンサC2の電荷がレギュレータ出力電圧Vb側（レギュレータ48）に逆流するのを防止する逆流防

止回路として機能する。

【0049】

次に、充電時間設定回路44の詳細を説明する。

充電時間設定回路44は、上記ブート用コンデンサC2の充電時間を確保するために設けられている。この充電時間の確保は、第1出力回路46に供給される電圧Vsを入力電圧Viよりも高くする、即ちメイン側トランジスタT1をオンさせる際にそのゲート電圧をドレイン電圧よりも高くし、メイン側トランジスタT1のオン抵抗を小さくするためである。第1駆動信号SG11のディーティ比が高くなると、ブート用コンデンサC2を充電する時間が短くなり、昇圧電圧Vsが所定電圧以上にブートできなくなる。このように、充電時間が確保できない場合、メイン側トランジスタT1のゲートに供給される第1駆動信号SG11の電圧が低くなつてメイン側トランジスタT1のオン抵抗が大きくなり、効率が悪くなるからである。

【0050】

充電時間設定回路44は、ブート用コンデンサC2を必要な電圧まで充電できなくなつた時に、メイン側トランジスタT1をオン駆動する第1駆動信号SG11のパルス幅（オンデューティ幅）を小さくする。メイン側トランジスタT1と同期側トランジスタT2は第1及び第2駆動信号SG11, SG12によりほぼ相補的にオン・オフ制御される。即ち、充電時間設定回路44は、ブート用コンデンサC2を必要な電圧まで充電できなくなつた時に、同期側トランジスタT2をオフ制御する第2駆動信号SG12のパルス幅（オフデューティ幅）を大きくする。これにより、発振回路43の発振周波数を変更せず、該ブート用コンデンサC2を必要な電圧まで充電する。

【0051】

充電時間設定回路44は、パルス発生回路51と、パルス幅設定回路52と、信号合成回路53から構成されている。

パルス発生回路51は、発振回路43から出力される基準パルス信号S11の所定パルス数毎に1つのパルスを有するパルス信号S31を生成する。パルス幅設定回路52は、パルス発生回路51にて生成したパルス信号S31のパルス幅を所定パルス幅に変換したパルス信号S32を生成する。信号合成回路53は、パルス幅設定回路52にて生成したパルス信号S32と、入力されたパルス信号S3とを論理合成して調整パルス信号S4を生成する。上記所定パルス数と所定パルス幅は、メイン側トランジスタT1のオン抵抗を小さくするため、該トランジスタT1のソース-ゲート間電圧（即ち、ブート用コンデンサC2の充電電圧）に基づいて設定される。

【0052】

パルス発生回路51は、本実施形態ではカウンタにより構成され、基準パルス信号S11のパルス数をカウントし、そのカウント値が設定値と等しくなつたときに1つのパルスを発生する。基準パルス信号S11は、パルスのカウントを確実に行うために用いられる。尚、パルス信号S3をカウントするように構成しても良い。

【0053】

図2に示すように、カウンタであるパルス発生回路51は、アンド回路61、複数段（図2において4段）のD型フリップフロップ回路（以下、FF回路）62a～62d、アンド回路63、インバータ回路64、FF回路65を備えている。アンド回路61は2入力素子であり、基準パルス信号S11と制御信号SCとが入力される。アンド回路61の出力端子はFF回路62aのクロック入力端子とインバータ回路64の入力端子に接続されている。各FF回路62a～62dの反転出力端子はそれぞれのデータ入力端子に接続されている。また、各FF回路62a～62cは反転出力端子が次段のFF回路62b～62dのクロック入力端子に接続されている。各FF回路62a～62dの非反転出力端子は4入力素子であるアンド回路63の入力端子に接続されている。アンド回路63の出力端子はFF回路65のデータ入力端子に接続され、該FF回路65のクロック入力端子はインバータ回路64の出力端子に接続されている。各FF回路62a～62d, 65のリセット端子にはリセット信号rstが入力されている。制御信号SCは例えば電子機器

21の内部回路31の動作準備が行われていないときにパルス発生回路51のカウント動作を停止させるために供給されている。リセット信号rstは例えば電子機器21のシステムリセット信号であり、各FF回路62a～62d, 65の出力レベルを設定するため供給されている。

【0054】

上記のように構成されたパルス発生回路51は、Hレベルの制御信号SC及びリセット信号rstに応答してカウント動作する。そして、パルス発生回路51は、4段のFF回路62a～62dにより基準パルス信号S11のパルス数をカウントするとともにそのカウント値が該段数により設定される設定値と一致する毎に、基準パルス信号S11のパルス周期と同じパルス幅を有するパルス信号S31をFF回路65の非反転出力端子から出力する。

【0055】

パルス幅設定回路52は、本実施形態ではワンショット回路にて構成され、パルス信号S31のパルス幅を所定パルス幅に調整したパルス信号S32を生成する。

パルス幅設定回路52は、奇数個（図2において3個）のインバータ回路66a～66c、 NAND回路67、 抵抗R11、 コンデンサC11を備えている。インバータ回路66a～66cは直列に接続され、1段目のインバータ回路66aにはパルス信号S31が入力され、3段目のインバータ回路66cの出力端子は NAND回路67の入力端子に接続されている。その NAND回路67にはパルス信号S31が入力される。2段目のインバータ回路66bの出力端子には抵抗R11の一端が接続され、抵抗R11の他端はコンデンサC11の一端に接続され、コンデンサC11の他端はグランドGNDに接続されている。

【0056】

上記のように構成されたパルス幅設定回路52は、図3に示すように、入力されるパルス信号S31のパルス幅を、抵抗R11及びコンデンサC11の値により設定されるパルス幅に変換したパルス信号S32を NAND回路67から出力する。

【0057】

信号合成回路53は、本実施形態ではアンド回路からなり、 PWM比較回路42からパルス信号S3が入力されるとともに、パルス幅設定回路52からパルス信号S32が入力される。信号合成回路53は、両パルス信号S3, S32を論理合成した調整パルス信号S4を出力する。この調整パルス信号S4は、図3に示すように、所定パルス数毎に幅が調整されたパルスP1と、幅が調整されていないパルスP2とを有している。これらパルスP1, P2によりメイン側トランジスタT1がオフしている期間（同期側トランジスタT2がオンしている期間）によりブート用コンデンサC2の充電電圧を確保する。

【0058】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 制御回路40には、コンデンサC2の充電時間を確保するためにメイン側トランジスタT1と同期側トランジスタT2のオン・オフ時間を変更する充電時間設定回路44が備えられている。従って、周波数を低くすることなくメイン側トランジスタT1にゲート電圧を供給してオン抵抗値を小さくし、効率低下を抑えることができる。

【0059】

(2) 充電時間設定回路44は、基準パルス信号S11の所定パルス数毎にパルスを発生させるパルス発生回路51と、パルス発生回路51にて発生されたパルスの幅を充電時間に応じて設定するパルス幅設定回路52と、パルス信号S3とパルス幅設定回路52にてパルス幅が設定された信号S32とを合成した調整パルス信号S4を生成する信号合成回路53と、を備えている。そして、第1及び第2出力回路46, 47により合成信号に基づいて第1及び第2駆動信号SG11, SG12が生成される。従って、一定の間隔でパルス幅を調整し、コンデンサC2の充電時間を確実に確保することができる。

【0060】

(第二実施形態)

以下、本発明を具体化した第二実施形態を図5に従って説明する。

尚、第一実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0061】

図5は、本実施形態のDC/DCコンバータ70のブロック回路図である。

DC/DCコンバータ70は、1チップの半導体集積回路装置上に形成された制御回路71と、メイン側トランジスタT1と同期側トランジスタT2とを含む。また、DC/DCコンバータ70は、ブート用コンデンサC2を備えている。

【0062】

制御回路71は、誤差増幅回路41、PWM比較回路42、発振回路43、充電時間設定回路72、休止期間設定回路45、第1及び第2出力回路46、47、レギュレータ48を含む。

【0063】

充電時間設定回路72は、パルス発生回路51aと、パルス幅設定回路52aと、信号合成回路53から構成されている。

パルス発生回路51aは、本実施形態ではタイマ回路により構成され、所定時間経過毎に所定レベル（例えばHレベル）のタイムアップ信号STを生成する。パルス幅設定回路52aは、本実施形態ではワンショットパルス回路により構成され、パルス発生回路51aにて生成したタイムアップ信号STに応答して所定パルス幅を有するパルス信号S32を生成する。信号合成回路53は、パルス幅設定回路52aにて生成したパルス信号S32と、入力されたパルス信号S3とを論理合成して調整パルス信号S4を生成する。

【0064】

上記所定時間と所定パルス幅は、メイン側トランジスタT1のオン抵抗を小さくするために、該トランジスタT1のソース-ゲート間電圧（即ち、ブート用コンデンサC2の充電電圧）に基づいて設定される。

【0065】

パルス信号S32はパルス発生回路51aに帰還され、該パルス発生回路51aはパルス信号S32に応答してタイムアップ信号STをリセットし（例えばLレベルにする）、タイムカウントを再開する。

【0066】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) タイマ回路によりパルス発生回路51aを構成した。従って、発振回路43の発振周波数に関わらずに所定の時間毎にコンデンサC2の充電時間を確保することができる。

【0067】

(第三実施形態)

以下、本発明を具体化した第三実施形態を図6に従って説明する。

尚、上記各実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0068】

DC/DCコンバータ80は、1チップの半導体集積回路装置上に形成された制御回路81と、メイン側トランジスタT1と同期側トランジスタT2とを含む。また、DC/DCコンバータ80は、ブート用コンデンサC2を備えている。

【0069】

制御回路81は、誤差増幅回路41、PWM比較回路42、発振回路43、充電時間設定回路82、休止期間設定回路45、第1及び第2出力回路46、47、レギュレータ48を含む。

【0070】

充電時間設定回路82は、パルス発生回路51と、パルス幅設定回路52と、信号合成回路53と、充電判定回路83とから構成されている。

充電判定回路83は、ブート用コンデンサC2の端子C2aにおける電圧Vsを検出し

、該電圧 V_s が所定電圧以上か否かを判定する。そして、充電判定回路 83 は、電圧 V_s が所定電圧に達していない場合に所定レベル（例えば H レベル）の制御信号 S_C をパルス発生回路 51 に出力する。パルス発生回路 51 は、その所定レベル（H レベル）の制御信号 S_C に応答してカウント動作し、L レベルの制御信号 S_C に応答してカウント動作を停止する。即ち、充電時間設定回路 82 は、電圧 V_s を検出し、必要なときにパルス発生回路 51 を動作させ、パルス信号 S_3 に基づいて調整パルス信号 S_4 を生成する。

【0071】

充電判定回路 83 は、基準電源 E_2 とコンパレータ 84 とから構成されている。コンパレータ 84 の反転入力端子はブート用コンデンサ C_2 の端子 C_2a に接続され、被反転入力端子には基準電源 E_2 から所定電圧として基準電圧 V_{r2} が入力される。コンパレータ 84 は、ブート用コンデンサ C_2 の端子 C_2a における電圧 V_s と基準電圧 V_{r2} とを比較し、電圧 V_s が基準電圧 V_{r2} よりも低い場合には所定レベル（本実施形態では H レベル）の制御信号 S_C を生成する。

【0072】

パルス発生回路 51 は、第一実施形態と同様に図 2 に示すように構成され、H レベルの制御信号 S_C に応答してカウント動作を行う。従って、充電時間設定回路 82 は、電圧 V_s が基準電圧 V_{r2} より低い場合にパルス信号 S_3 に基づいてパルス幅を調整した調整パルス信号 S_4 を生成し、電圧 V_s が基準電圧 V_{r2} より高い場合にパルス信号 S_3 のパルス幅と実質的に等しいパルス幅を有する調整パルス信号 S_4 を生成する。

【0073】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 充電判定回路 83 を備え、該充電判定回路 83 はコンデンサ C_2 の端子 C_2a における電圧に基づいて制御信号 S_C を生成するようにした。従って、充電が必要となるときに制御信号 S_C を生成することができる。また、充電が不要なときには第 1 駆動信号 S_G11 のパルス幅を調整しないので、効率の低下を抑えることができる。

【0074】

（第四実施形態）

以下、本発明を具体化した第四実施形態を図 7 に従って説明する。

尚、上記各実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0075】

DC/DC コンバータ 90 は、1 チップの半導体集積回路装置上に形成された制御回路 91 と、メイン側トランジスタ T1 と同期側トランジスタ T2 とを含む。また、DC/DC コンバータ 90 は、ブート用コンデンサ C_2 を備えている。

【0076】

制御回路 91 は、誤差増幅回路 41、PWM 比較回路 42、発振回路 43、充電時間設定回路 92、休止期間設定回路 45、第 1 及び第 2 出力回路 46, 47、レギュレータ 48 を含む。

【0077】

充電時間設定回路 92 は、パルス発生回路 51 と、パルス幅設定回路 52 と、信号合成回路 53 と、充電判定回路 93 とから構成されている。

充電判定回路 93 は、パルス信号 S_3 のパルス幅を監視し、該パルス幅が所定値以上か否かを判定する。そして、充電判定回路 93 は、パルス信号 S_3 のパルス幅が所定値より小さい場合に所定レベル（例えば H レベル）の制御信号 S_C をパルス発生回路 51 に出力する。パルス発生回路 51 は、その所定レベル（H レベル）の制御信号 S_C に応答してカウント動作し、L レベルの制御信号 S_C に応答してカウント動作を停止する。即ち、充電時間設定回路 92 は、パルス信号 S_3 のパルス幅を監視し、必要なときにパルス発生回路 51 を動作させ、パルス信号 S_3 に基づいて調整パルス信号 S_4 を生成する。

【0078】

充電判定回路 93 は、遅延回路 94 と、EOR（排他的論理和）回路 95 とから構成さ

れ、遅延回路94は本実施形態では複数のバッファ回路96を直列接続して構成されている。遅延回路94は入力されるパルス信号S3を遅延して生成した遅延パルス信号S3dを出力する。EOR回路95は2入力素子であり、パルス信号S3と遅延パルス信号S3dとが入力される。EOR回路95は、パルス信号S3と遅延パルス信号S3dとを排他的論理和演算して生成した制御信号SCを出力する。

【0079】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 充電判定回路93を備え、該充電判定回路93はパルス信号S3のパルス幅に基づいて制御信号SCを生成するようにした。従って、充電が必要となるときに制御信号SCを生成することができる。また、充電が不要なときには第1駆動信号SG11のパルス幅を調整しないので、効率の低下を抑えることができる。

【0080】

(第五実施形態)

以下、本発明を具体化した第五実施形態を図8に従って説明する。

尚、上記各実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0081】

DC/DCコンバータ100は、1チップの半導体集積回路装置上に形成された制御回路101と、メイン側トランジスタT1と同期側トランジスタT2とを含む。また、DC/DCコンバータ100は、ブート用コンデンサC2を備えている。

【0082】

制御回路101は、誤差增幅回路41、PWM比較回路42、発振回路43、充電時間設定回路102、休止期間設定回路45、第1及び第2出力回路46、47、レギュレータ48を含む。

【0083】

充電時間設定回路102は、パルス発生回路51と、パルス幅設定回路52と、信号合成回路53と、充電判定回路103とから構成されている。

充電判定回路103は、入力電圧Viと出力電圧Voとを監視し、パルス幅の調整が必要な否かを判断し、その判断結果に基づいて制御信号SCを生成する。充電判定回路103は、抵抗R21、R22とコンパレータ104とを備えている。抵抗R21、R22は直列接続されて分圧抵抗を構成し、入力電圧Viを分圧した分圧電圧V3を生成する。コンパレータ104は、反転入力端子に入力される分圧電圧V3と、被反転入力端子に入力される出力電圧Voとを比較し、その比較結果に基づいて、必要な時（入力電圧Viを分圧した分圧電圧V3より出力電圧Voが低い時）にパルス幅を調整するべく制御信号SCを生成する。

【0084】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 充電判定回路103を備え、該充電判定回路103は入力電圧Viと出力電圧Voとにに基づいて制御信号SCを生成するようにした。従って、充電が必要となるときに制御信号SCを生成することができる。また、充電が不要なときには第1駆動信号SG11のパルス幅を調整しないので、効率の低下を抑えることができる。

【0085】

(第六実施形態)

以下、本発明を具体化した第六実施形態を図9、図10に従って説明する。

尚、上記各実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0086】

DC/DCコンバータ110は、1チップの半導体集積回路装置上に形成された制御回路111と、メイン側トランジスタT1と同期側トランジスタT2とを含む。また、DC/DCコンバータ110は、チャージ用コンデンサC21を備えている。

【0087】

制御回路111は、誤差增幅回路41、PWM比較回路42、発振回路43、休止期間設定回路45、第1及び第2出力回路46, 47、レギュレータ48、アンド回路113、第3出力回路(Drv-CP)114を含む。

【0088】

アンド回路113は2入力素子であり、発振回路43にて生成された基準パルス信号S11と、メイン側トランジスタT1を駆動するべく休止期間設定回路45から出力される第1制御信号S5とが入力され、両信号S11, S5を論理積演算してパルス信号S12を生成する。

【0089】

第3出力回路114は、入力電圧Viが駆動電圧として供給され、アンド回路113にて生成されたパルス信号S12を増幅して出力する。その第3出力回路114の出力端子にはチャージ用コンデンサC21の一端が接続され、コンデンサC21の他端はダイオードD2のカソードに接続され、そのダイオードD2のアノードはレギュレータ48に接続されている。

【0090】

ダイオードD2のカソードはダイオードD3のアノードに接続され、そのダイオードD3のカソードは第1出力回路46の電源端子46aに接続されている。また、ダイオードD3のカソードはコンデンサC22の第1端子C22aに接続され、コンデンサC22の第2端子C22bはノードN1に接続されている。

【0091】

次に、上記のように構成されたDC/DCコンバータ110の作用を説明する。

図10(a)に示すように、第1制御信号S5のオンデューティが基準パルス信号S11のそれよりも大きい（例えばデューティが50パーセント以上）場合、アンド回路113は基準パルス信号S11と実質的に同じ波形を持つパルス信号S12を生成する。第3出力回路114は、このパルス信号S12に基づいてポンピング動作し、チャージ用コンデンサC21に蓄積した電荷を、ダイオードD3を介してコンデンサC22に蓄積する。

【0092】

第3出力回路114に入力されるパルス信号S12がLレベルの時、コンデンサC22にはダイオードD2, D3を介してレギュレータ48から電荷が蓄積され、その第1端子C22aはレギュレータ出力電圧Vbレベルとなっている。そして、第3出力回路114によるポンピング動作によってチャージ用コンデンサC21の第2端子C21bが入力電圧Viレベルとなるため、コンデンサC21の第1端子C21aは(Vb+Vi)レベルとなる。このとき、コンデンサC22の第2端子C22bはノードN1に接続されているため、その第2端子C22bはメイン側トランジスタT1をオン駆動した時には入力電圧Viレベルとなる。従って、第1出力回路46は、高電位側電源端子46aに電圧(Vb+Vi)が供給され、低電位側電源端子46bに電圧Viが供給されている。即ち、第1出力回路46の電源端子46a, 46bの電位差はVbとなる。そして、第1出力回路46は電源端子46a, 46bに供給される電圧に基づいて動作し、メイン側トランジスタT1をオン駆動する。これにより、メイン側トランジスタT1のオン駆動時におけるオン抵抗値を小さくし、変換効率の低下を抑えることができる。

【0093】

また、第3出力回路114を設けて必要な時（メイン側トランジスタT1をオン駆動する時）に第1出力回路46に昇圧して入力電圧Viよりも高い電圧Vsを供給するようにしたので、発振回路43の発振周波数を変更する必要がない。このため、高周波に対応したチョークコイルL1を用いれば良く、高周波化に対応可能であると共に、外付け部品の専有面積を小さくすることができる。

【0094】

図10(b)に示すように、第1制御信号S5のオンデューティが基準パルス信号S11のそれよりも小さい（例えばデューティが50パーセントより小さい）場合、アンド回

路113は第1制御信号S5と実質的に同じ波形を持つパルス信号S12を生成する。第3出力回路114は、このパルス信号S12に基づいてポンピング動作し、チャージ用コンデンサC21に蓄積した電荷を、ダイオードD3を介してコンデンサC22に蓄積する。そして、第1出力回路46は、上記と同様にして供給される電源電圧に基づいて動作し、メイン側トランジスタT1をオン駆動する。

【0095】

ここで、アンド回路113が無い場合について考慮する。この場合、第3出力回路114は基準パルス信号S11によりポンピング動作する。そして、第1及び第2制御信号S5, S6のオンデューティにより、第2制御信号S6と基準パルス信号S11とが同時にHレベルとなる期間H1が存在する。この期間において、同期側トランジスタT2がオンしていることからノードN1、即ち第1出力回路46の低電位側電源端子46bの電位はグランドGNDレベルになる。一方、基準パルス信号S11により動作する第3出力回路114によってコンデンサC21の第1端子C21aの電位は(Vb+Vi)レベルとなる。従って、第1出力回路46の電源端子46a, 46b間の電位差は(Vb+Vi)となる。上記したように、期間H1以外では第1出力回路46の電源端子46a, 46b間における電位差はVbである。また、第2出力回路47の電源端子47a, 47b間における電位差はVbである。即ち、第1出力回路46は、(Vb+Vi)の電位差に耐える電気的特性を有していないければならず、このような第1出力回路46は耐圧が低いものに比べて専有面積が大きくなる。

【0096】

それに対し、本実施形態では、第1制御信号S5と基準パルス信号S11とを論理積演算して生成したパルス信号S12により第3出力回路114を動作させるため、第1出力回路46の耐圧を電位差Vbに対応させれば良い。そして、電位差Vbに対応した第1出力回路46の破損を防止することができる。

【0097】

(第七実施形態)

以下、本発明を具体化した第七実施形態を図11, 図12に従って説明する。

尚、上記第六実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0098】

DC/DCコンバータ120は、1チップの半導体集積回路装置上に形成された制御回路121と、メイン側トランジスタT1と同期側トランジスタT2とを含む。また、DC/DCコンバータ120は、チャージ用コンデンサC21を備えている。

【0099】

制御回路121は、誤差增幅回路41、PWM比較回路42、発振回路43、休止期間設定回路45、第1及び第2出力回路46, 47、レギュレータ48、アンド回路113、オア回路122、第3出力回路(Drv-CP)114を含む。

【0100】

アンド回路113は2入力素子であり、発振回路43にて生成されたパルス信号S11と、メイン側トランジスタT1を駆動するべく休止期間設定回路45から出力される第1制御信号S5とが入力され、両信号S11, S5を論理積演算してパルス信号S12を生成する。

【0101】

オア回路122は2入力素子であり、パルス信号S12と制御信号SCとが入力される。この制御信号SCは、例えば第三実施形態の充電判定回路83にて生成された制御信号が供給される。尚、第四実施形態の充電判定回路93、第五実施形態の充電判定回路103により生成された制御信号SC、又は外部から供給される制御信号としても良い。オア回路122は、パルス信号S12と制御信号SCとを論理和演算して信号S13を生成する。

【0102】

従って、図12に示すように、Lレベルの制御信号SCが入力されている時には第六実施形態と同様に動作し、オア回路122から出力されるパルス波形の信号S13によりチャージ用コンデンサC21に対してポンピング動作し、該コンデンサC22の端子C22aにおける電圧Vsにより第1出力回路46を動作させてメイン側トランジスタT1のオン抵抗値を低下させる。そして、Hレベルの制御信号SCが入力されると、オア回路122から一定レベル(Hレベル)の信号S13が出力され、ポンピング動作が停止される。

【0103】

尚、上記各実施形態は、以下の態様で実施してもよい。

・第一実施形態において、DC/DCコンバータ32を備えた電子機器21に具体化したが、構成を適宜変更した電子機器に具体化しても良い。例えば、図13に示すように、電子機器130は内部回路31を備え、バッテリパック131が装着可能に構成されている。このバッテリパック131は、バッテリBTと、DC/DCコンバータ132とを備えている。このDC/DCコンバータ132は、上記各実施形態におけるDC/DCコンバータ32, 70, 80, 90, 100, 110, 120の何れかである。このように構成することで、入力電圧Viを出力電圧Voに変換するその変換効率の低下を抑えたバッテリパック131、電子機器130を提供することができる。

【0104】

・第一実施形態においてカウント値を変更可能に構成してもよい。また、第二実施形態においてタイマの値を変更可能に構成してもよい。

上記各実施の形態から把握できる技術的思想を以下に記載する。

(付記1) N型FETよりなるメイン側トランジスタ及び同期側トランジスタと、出力電圧と基準電圧との比較結果に基づいてオン・オフ時間にて前記メイン側トランジスタ及び同期側トランジスタを制御する制御回路と、前記メイン側トランジスタのゲート電圧を生成するためのコンデンサとを備え、前記同期側トランジスタのオン時に前記コンデンサを充電し、前記コンデンサをブートさせて前記メイン側トランジスタのゲート電圧を生成する同期整流方式のDC/DCコンバータにおいて、

前記制御回路には、前記メイン側トランジスタと同期側トランジスタのオン・オフ時間を変更する充電時間設定回路を備えたことを特徴とするDC/DCコンバータ。

(付記2) 三角波信号と基準パルス信号とを生成する発振回路を備えたことを特徴とする付記1記載のDC/DCコンバータ。

(付記3) 前記制御回路は、

出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差增幅回路と、

前記誤差信号と三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、

前記メイン側トランジスタのゲートに供給する第1駆動信号を生成する第1出力回路と、

前記同期側トランジスタのゲートに供給する第2駆動信号を生成する第2出力回路と、を備え、

前記充電時間設定回路は、

前記基準パルス信号の所定パルス数毎にパルスを発生させるパルス発生回路と、

前記パルス発生回路にて発生されたパルスの幅を前記充電時間に応じて設定するパルス幅設定回路と、

前記パルス信号と前記パルス幅設定回路にてパルス幅が設定された信号とを合成した合成信号を生成する信号合成回路と、を備え、

前記第1及び第2出力回路は、前記合成信号に基づいて前記第1及び第2駆動信号を生成すること

を特徴とする付記2記載のDC/DCコンバータ。

(付記4) 前記制御回路は、

出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差增幅回路と、

前記誤差信号と三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つ

パルス信号を生成する比較回路と、

前記メイン側トランジスタのゲートに供給する第1駆動信号を生成する第1出力回路と

、
前記同期側トランジスタのゲートに供給する第2駆動信号を生成する第2出力回路と、
を備え、

前記充電時間設定回路は、

所定時間毎にパルスを発生させるパルス発生回路と、

前記パルス発生回路にて発生されたパルスの幅を前記充電時間に応じて設定するパルス幅設定回路と、

前記パルス信号と前記パルス幅設定回路にてパルス幅が設定された信号とを合成した合成信号を生成する信号合成回路と、を備え、

前記第1及び第2出力回路は、前記合成信号に基づいて前記第1及び第2駆動信号を生成すること

を特徴とする付記1記載のDC/DCコンバータ。

(付記5) 前記パルス発生回路は、制御信号に応答して前記パルスの発生を停止することを特徴とする付記1～4のうちの何れか一項に記載のDC/DCコンバータ。

(付記6) 前記コンデンサに充電が必要か否かを判定し、その判定結果に基づいて前記制御信号を生成する充電判定回路を備えたことを特徴とする付記1～5のうちの何れか一項に記載のDC/DCコンバータ。

(付記7) 前記充電判定回路は、前記コンデンサによりブートされた電圧と基準電圧とを比較して前記コンデンサに充電が必要か否かを判定することを特徴とする付記6記載のDC/DCコンバータ。

(付記8) 前記充電判定回路は、前記比較回路から出力されるパルス信号に基づいて前記コンデンサに充電が必要か否かを判定することを特徴とする付記6記載のDC/DCコンバータ。

(付記9) 前記充電判定回路は、入力電圧と出力電圧とを比較して前記コンデンサに充電が必要か否かを判定することを特徴とする付記6記載のDC/DCコンバータ。

(付記10) N型FETよりなるメイン側トランジスタ及び同期側トランジスタと、出力電圧と基準電圧との比較結果に基づいてオン・オフ時間にて前記メイン側トランジスタ及び同期側トランジスタを制御する制御回路と、前記メイン側トランジスタのゲート電圧を生成するためのコンデンサとを備え、前記同期側トランジスタのオン時に前記コンデンサを充電し、前記コンデンサをポンピングして前記メイン側トランジスタのゲート電圧を生成する同期整流方式のDC/DCコンバータにおいて、

前記制御回路は、

出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差增幅回路と、

三角波信号と基準パルス信号とを生成する発振回路と、

前記誤差信号と前記三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、

前記パルス信号に基づいて前記メイン側トランジスタ及び同期側トランジスタが同時にオンしないように第1及び第2制御信号を生成する休止期間設定回路と、

前記第1制御信号に基づいて前記メイン側トランジスタのゲートに供給する第1駆動信号を生成する第1出力回路と、

前記第2制御信号に基づいて前記同期側トランジスタのゲートに供給する第2駆動信号を生成する第2出力回路と、

前記第1制御信号と前記基準パルス信号とを合成した合成信号を生成する信号合成回路と、

前記合成信号に基づいて前記コンデンサをポンピングする第3出力回路と、
を備えたことを特徴とするDC/DCコンバータ。

(付記11) N型FETよりなるメイン側トランジスタ及び同期側トランジスタと接続されるとともに、前記メイン側トランジスタのゲート電圧を生成するためのコンデンサと

接続され、前記同期側トランジスタのオン時に前記コンデンサを充電し、前記コンデンサをブートさせて前記メイン側トランジスタのゲート電圧を生成する同期整流方式のDC／DCコンバータを構成する半導体装置において、

前記メイン側トランジスタと同期側トランジスタのオン・オフ時間を変更する充電時間設定回路を備えたことを特徴とする半導体装置。

(付記12) N型FETよりなるメイン側トランジスタ及び同期側トランジスタと接続されるとともに、前記メイン側トランジスタのゲート電圧を生成するためのコンデンサと接続され、前記同期側トランジスタのオン時に前記コンデンサを充電し、前記コンデンサをブートさせて前記メイン側トランジスタのゲート電圧を生成する同期整流方式のDC／DCコンバータを構成する半導体装置において、

出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差增幅回路と、

三角波信号と基準パルス信号とを生成する発振回路と、

前記誤差信号と前記三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、

前記パルス信号に基づいて前記メイン側トランジスタ及び同期側トランジスタが同時にオンしないように第1及び第2制御信号を生成する休止期間設定回路と、

前記第1制御信号に基づいて前記メイン側トランジスタのゲートに供給する第1駆動信号を生成する第1出力回路と、

前記第2制御信号に基づいて前記同期側トランジスタのゲートに供給する第2駆動信号を生成する第2出力回路と、

前記第1制御信号と前記基準パルス信号とを合成した合成信号を生成する信号合成回路と、

前記合成信号に基づいて前記コンデンサをポンピングする第3出力回路と、
を備えたことを特徴とする半導体装置。

(付記13) 付記1～10のうちの何れか一項に記載のDC／DCコンバータを備えたことを特徴とする電子機器。

(付記14) 付記1～10のうちの何れか一項に記載のDC／DCコンバータと、該DC／DCコンバータにより充電されるバッテリとを備えたことを特徴とするバッテリパック。

【図面の簡単な説明】

【0105】

【図1】第一実施形態のDC／DCコンバータのブロック回路図である。

【図2】充電時間設定回路の回路図である。

【図3】充電時間設定回路の動作波形図である。

【図4】電子機器のブロック図である。

【図5】第二実施形態のDC／DCコンバータのブロック回路図である。

【図6】第三実施形態のDC／DCコンバータのブロック回路図である。

【図7】第四実施形態のDC／DCコンバータのブロック回路図である。

【図8】第五実施形態のDC／DCコンバータのブロック回路図である。

【図9】第六実施形態のDC／DCコンバータのブロック回路図である。

【図10】(a) (b)はDC／DCコンバータの動作波形図である。

【図11】第七実施形態のDC／DCコンバータのブロック回路図である。

【図12】第七実施形態のDC／DCコンバータの動作波形図である。

【図13】別の電子機器のブロック図である。

【図14】従来のDC／DCコンバータのブロック回路図である。

【符号の説明】

【0106】

21 電子機器

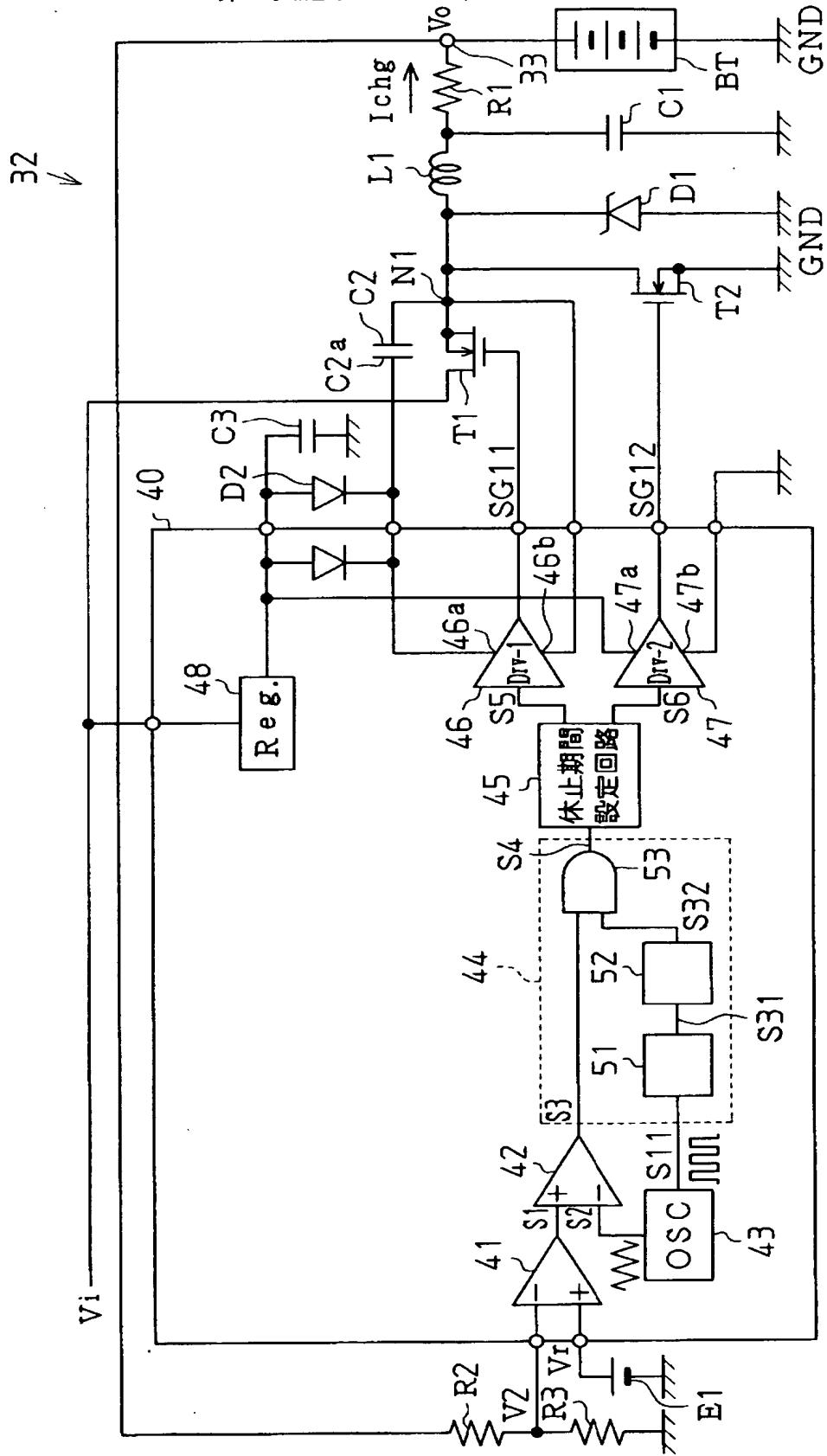
32 DC／DCコンバータ

40 制御回路

B T バッテリ
C 2, C 21 コンデンサ
S C 制御信号
S G 1 1 第1駆動信号
S G 1 2 第2駆動信号
T 1 メイン側トランジスタ
T 2 同期側トランジスタ
V s 電圧
V b レギュレータ出力電圧
V i 入力電圧
V o 出力電圧

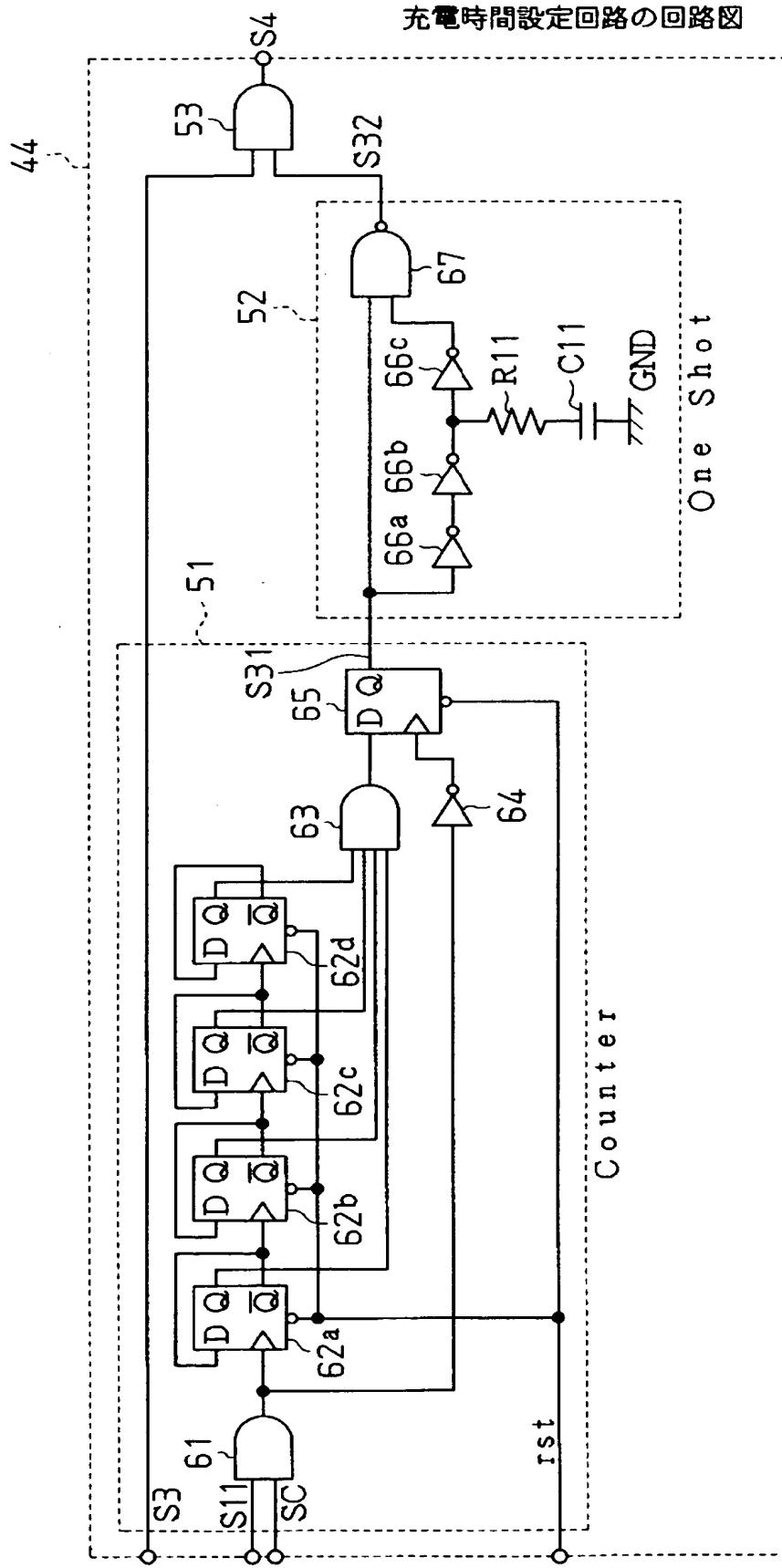
【書類名】図面
【図1】

第一実施形態のDC/DCコンバータのブロック回路図



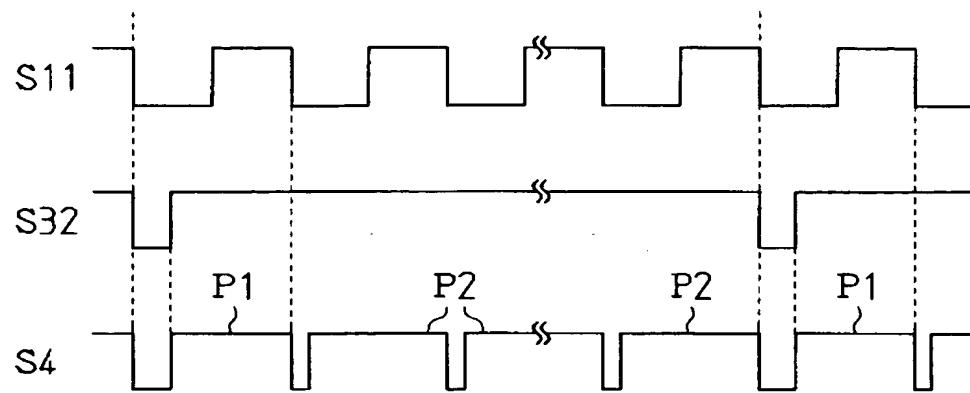
【図2】

充電時間設定回路の回路図



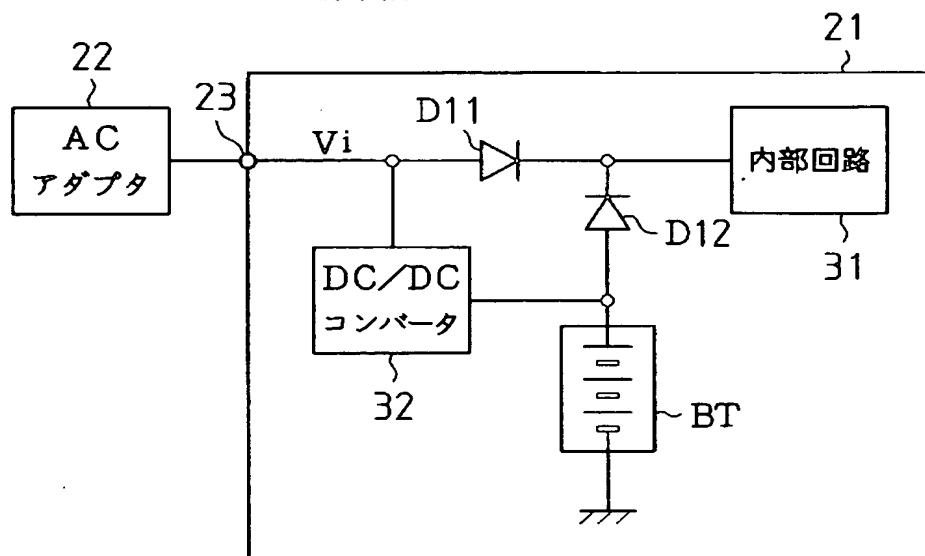
【図3】

充電時間設定回路の動作波形図



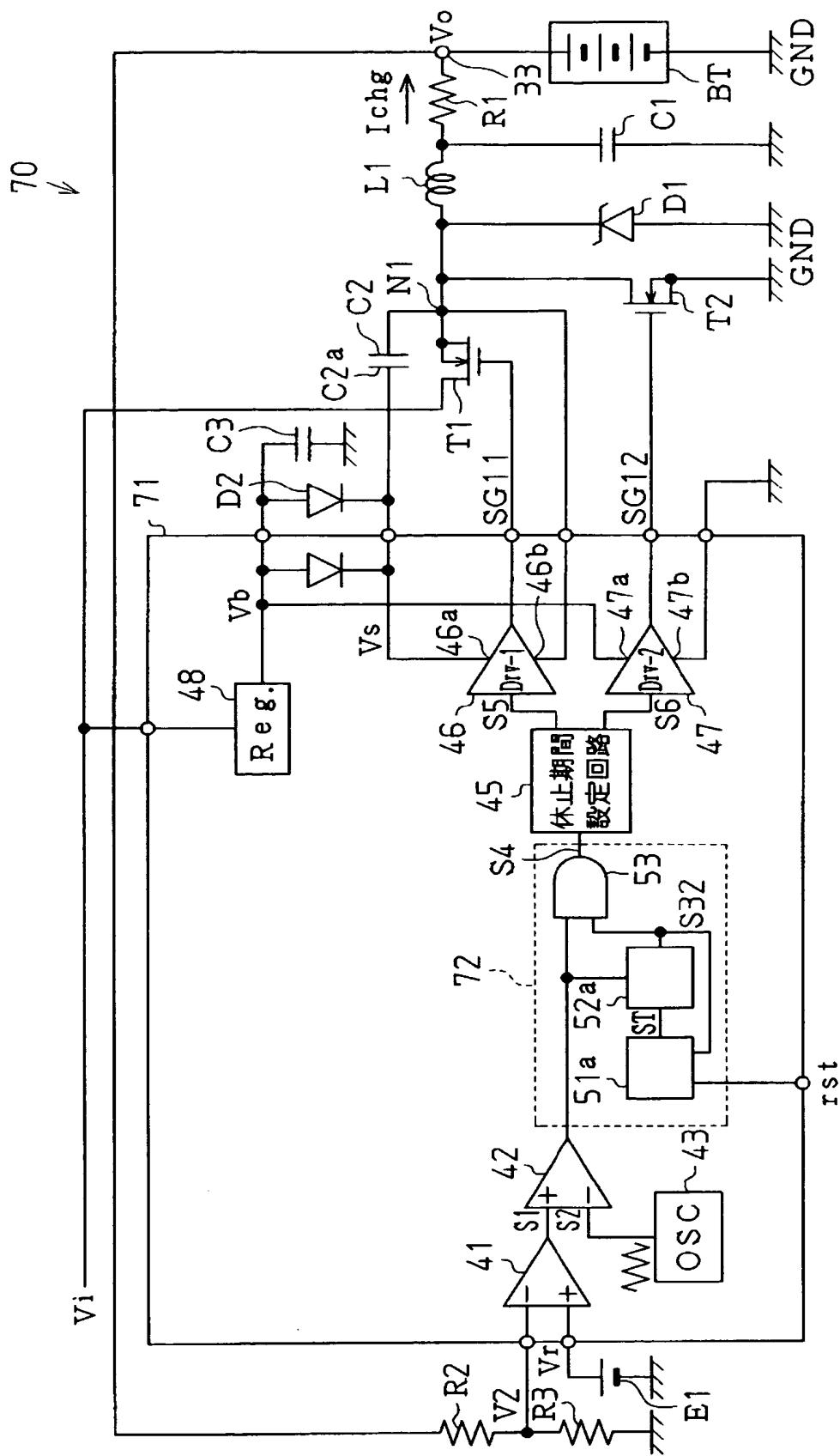
【図4】

携帯機器のブロック図



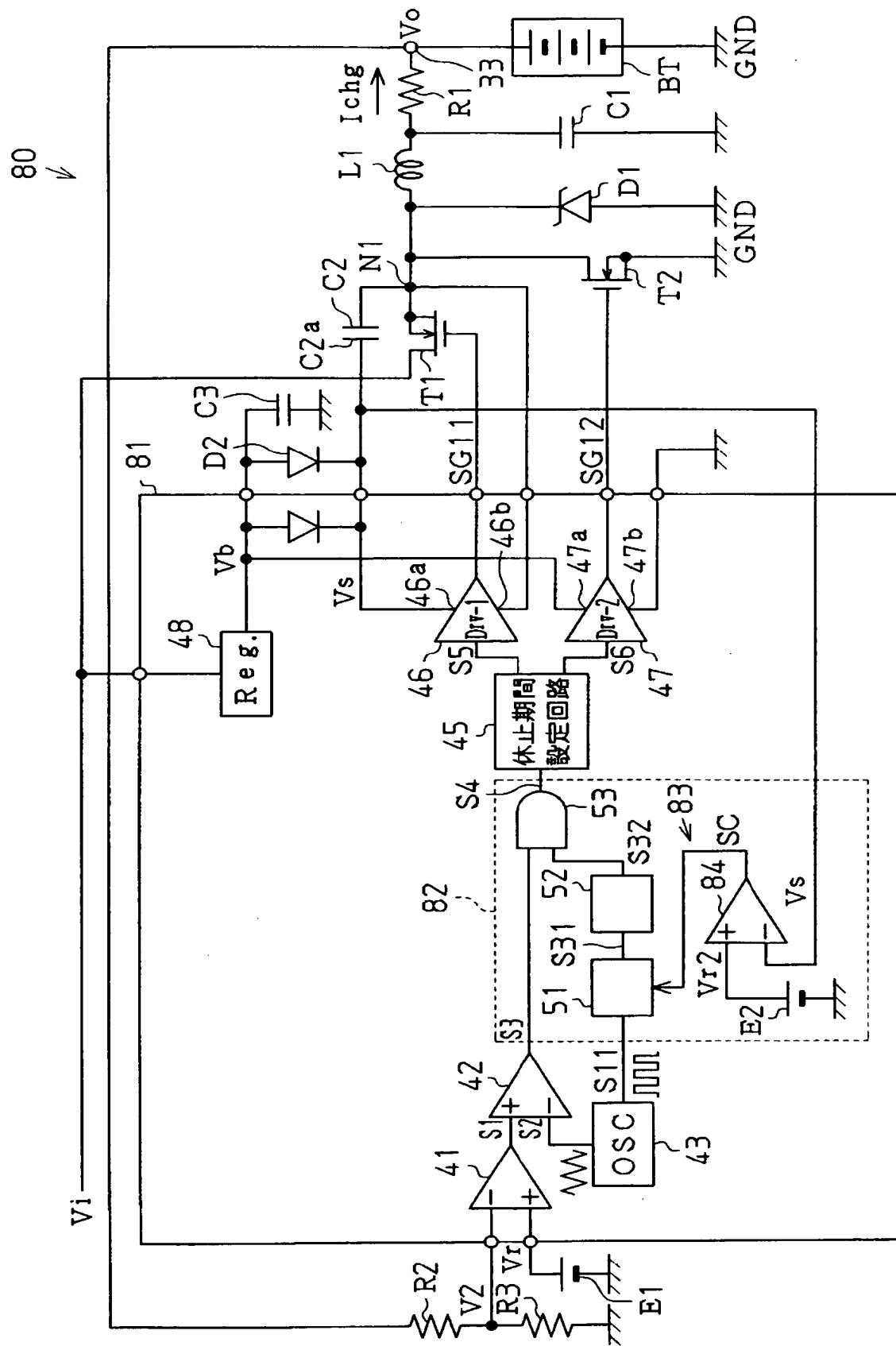
【図5】

第二実施形態のDC/DCコンバータのブロック回路図



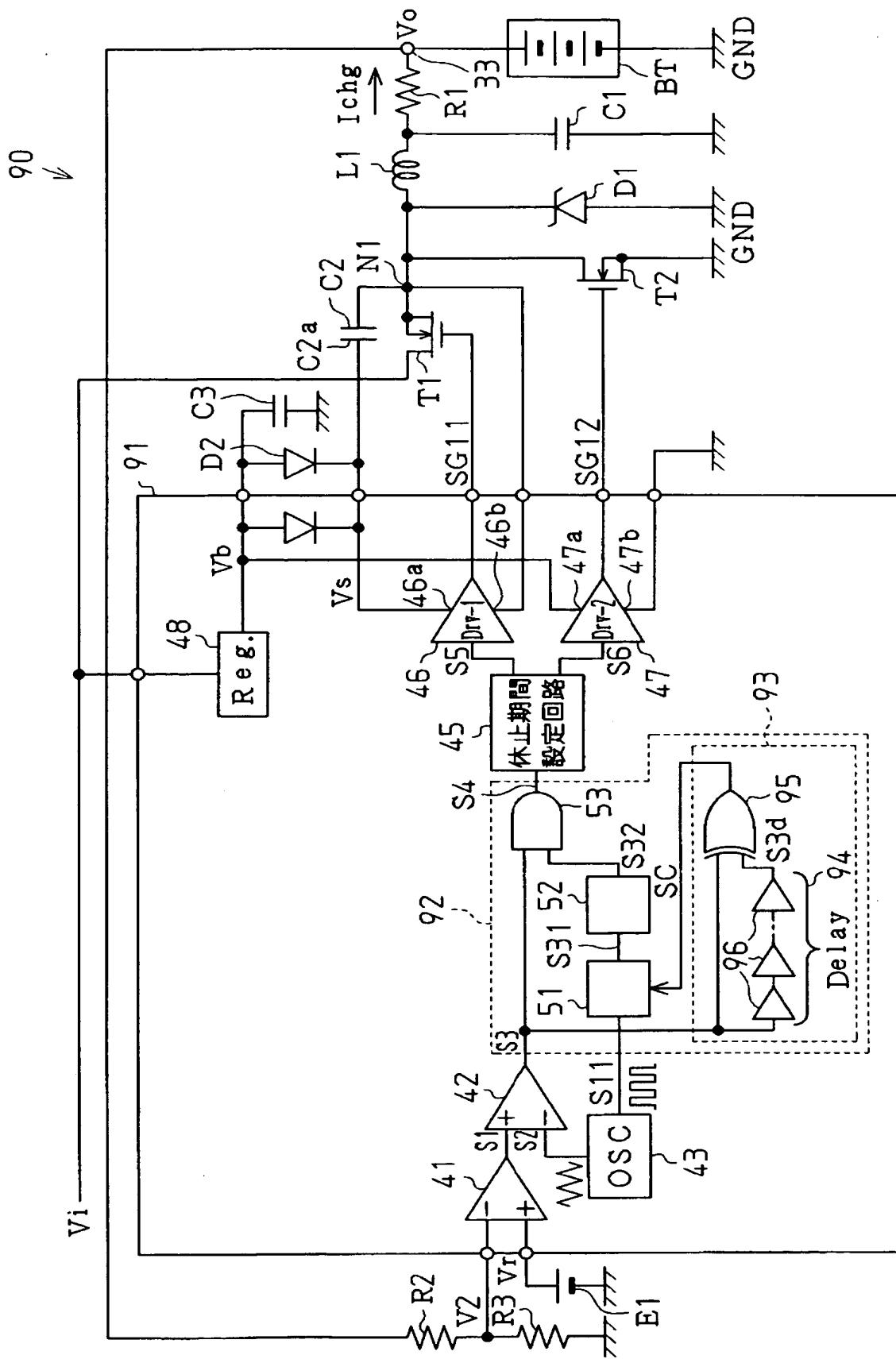
【図6】

第三実施形態のDC/DCコンバータのブロック回路図



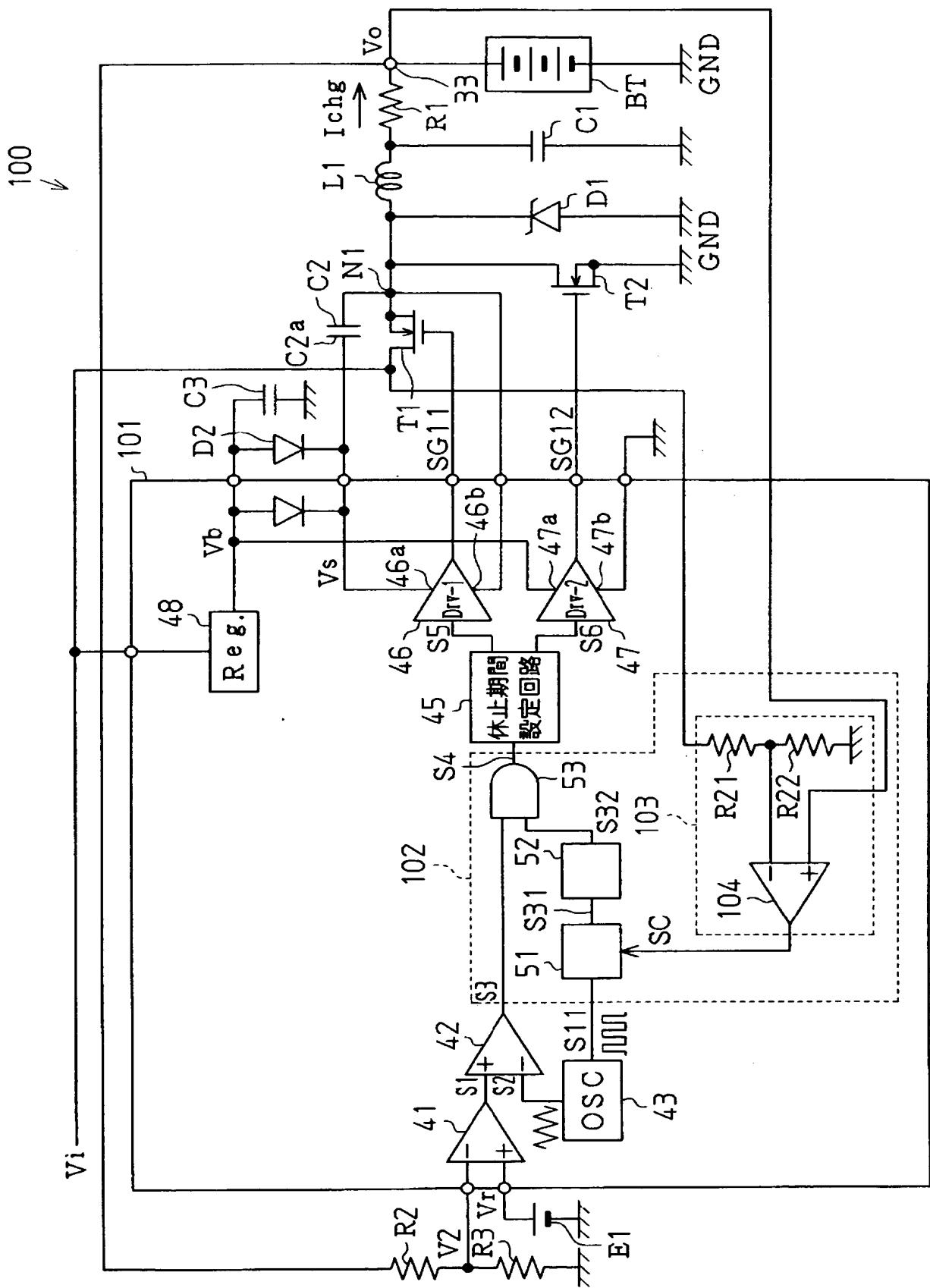
【図7】

第四実施形態のDC/DCコンバータのブロック回路図



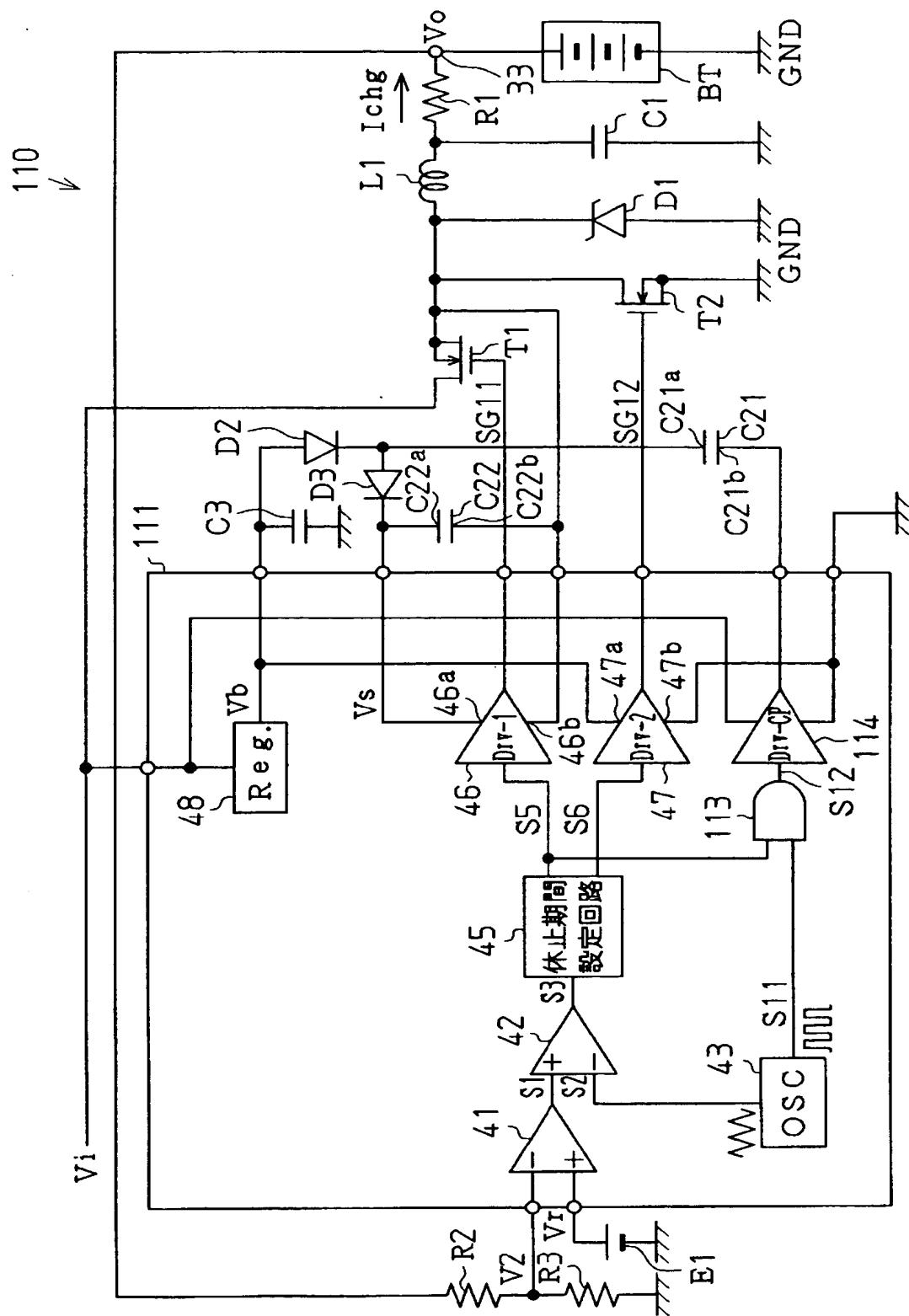
【図 8】

第五実施形態のDC/DCコンバータのブロック回路図



【図9】

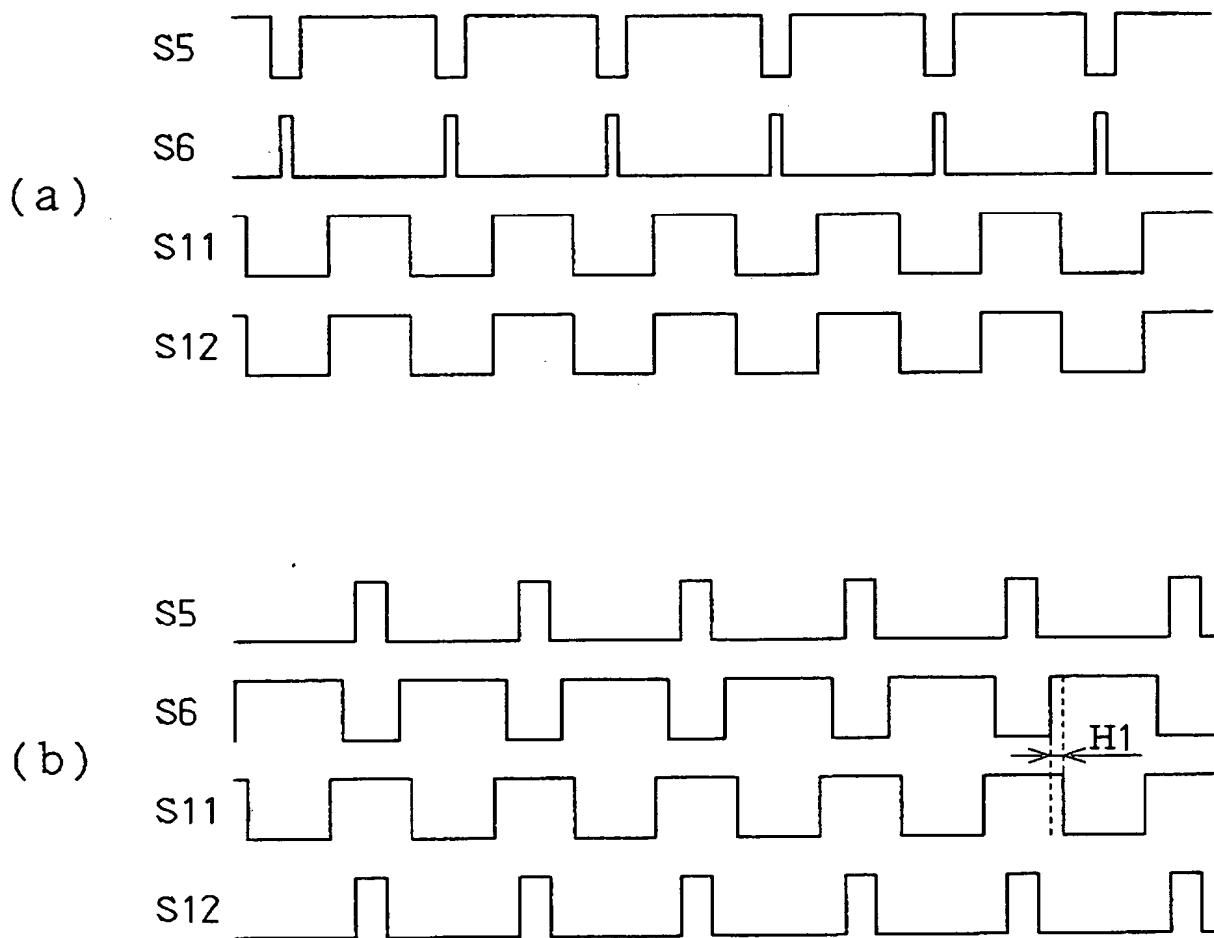
第六実施形態のDC/DCコンバータのブロック回路図





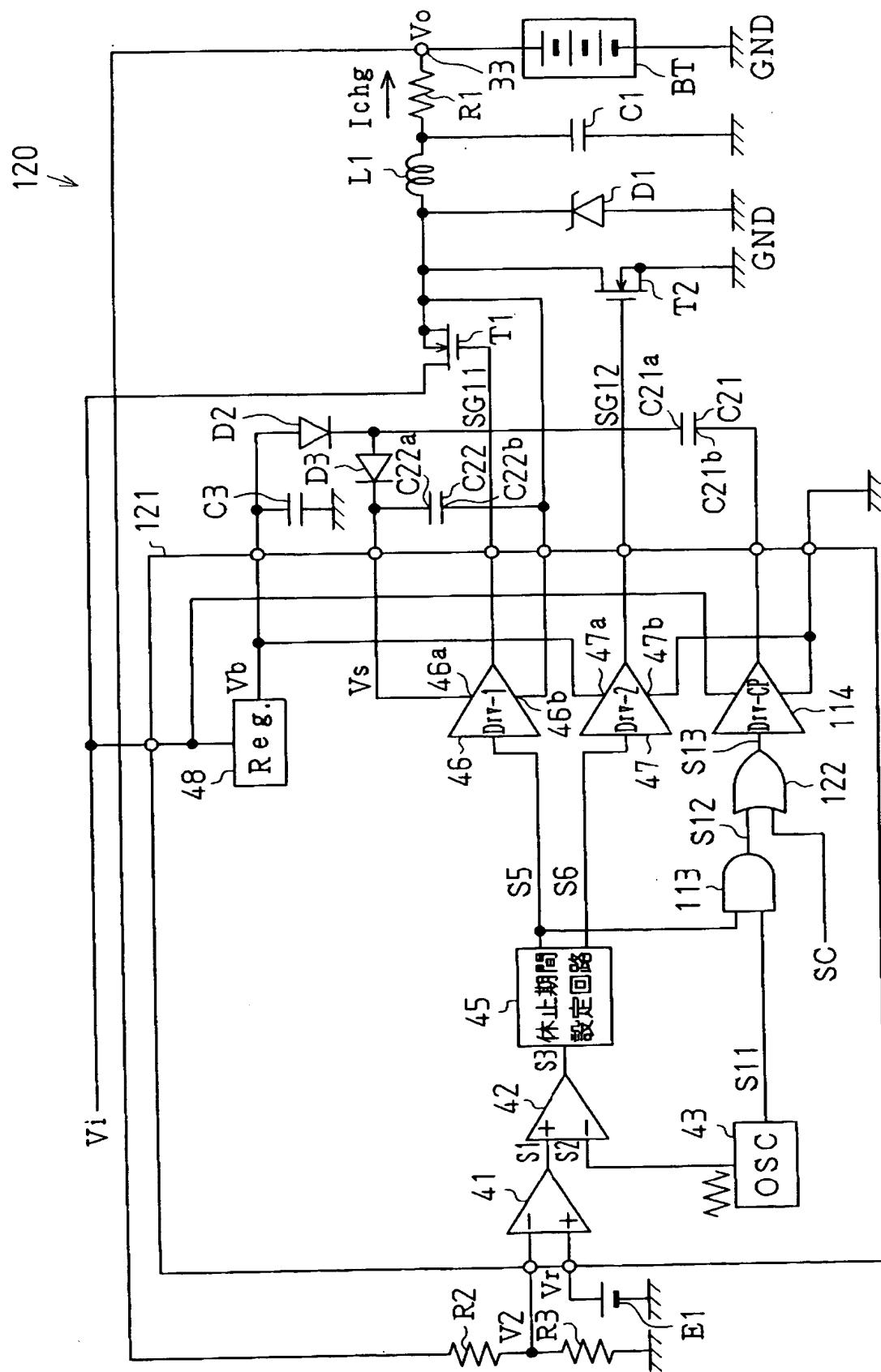
【図10】

第六実施形態のDC/DCコンバータの動作波形図



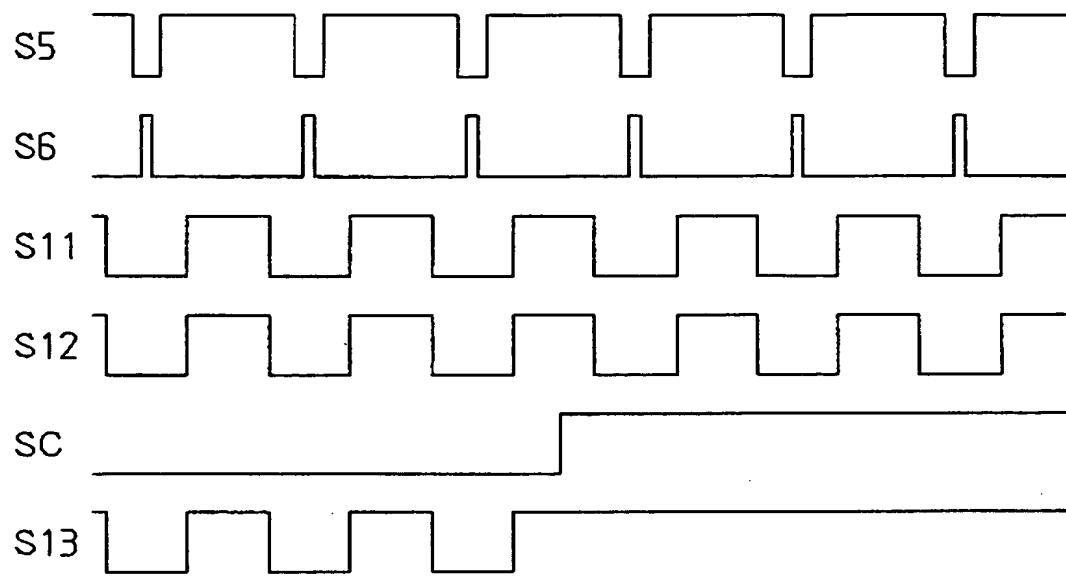
【図11】

第七実施形態のDC/DCコンバータのブロック回路図



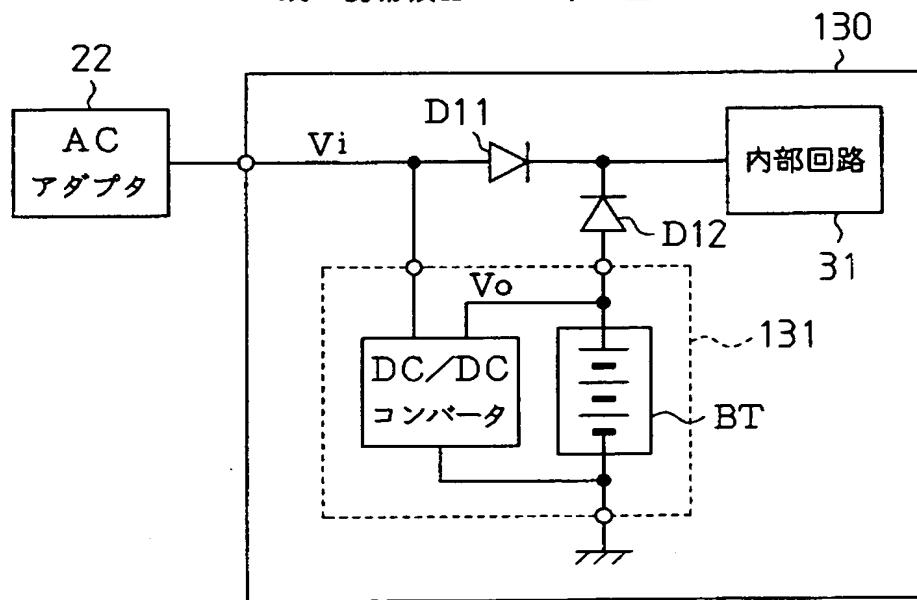
【図12】

第七実施形態のDC/DCコンバータの動作波形図



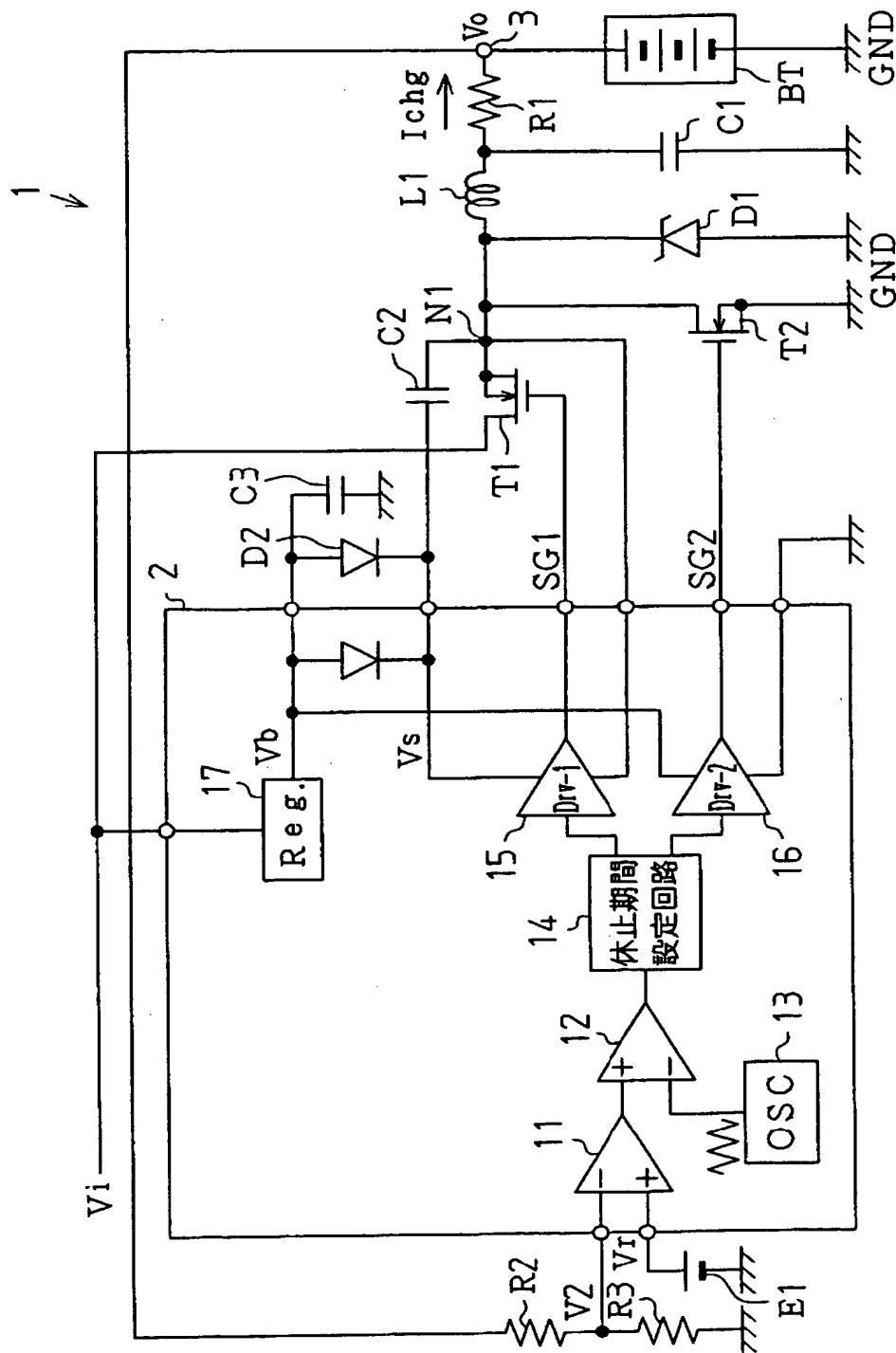
【図13】

別の携帯機器のブロック図



【図14】

従来のDC/DCコンバータのブロック回路図



【書類名】要約書

【要約】

【課題】効率の低下を抑え、高周波化が可能なDC／DCコンバータを提供すること。

【解決手段】制御回路40には、コンデンサC2の充電時間を確保するためにメイン側トランジスタT1と同期側トランジスタT2のオン・オフ時間を変更する充電時間設定回路44が備えられている。従って、周波数を低くすることなくメイン側トランジスタT1にゲート電圧を供給してオン抵抗値を小さくし、効率低下を抑えることができる。

【選択図】 図1

特願 2003-290824

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社